

日本国特許
JAPAN PATENT OFFICE

Tetsuya AKAMATSU et al.
April 22, 2004
BSKB
(703) 205-8000
H 4850-0102 PUSI
106.1

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 4月23日
Date of Application:

出願番号 特願2003-117798
Application Number:

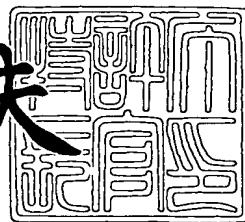
[ST. 10/C] : [JP 2003-117798]

出願人 シャープ株式会社
Applicant(s):

2004年 3月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 P03S0034A1
【提出日】 平成15年 4月23日
【あて先】 特許庁長官 殿
【国際特許分類】 H03K 17/22
【発明の名称】 パワーオンリセット回路
【請求項の数】 8
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 赤松 徹也
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 土居 宏樹
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 稲森 正憲
【特許出願人】
【識別番号】 000005049
【氏名又は名称】 シャープ株式会社
【電話番号】 06-6621-1221
【代理人】
【識別番号】 100114476
【弁理士】
【氏名又は名称】 政木 良文
【電話番号】 06-6233-6700

【選任した代理人】

【識別番号】 100107478

【弁理士】

【氏名又は名称】 橋本 薫

【電話番号】 06-6233-6700

【手数料の表示】

【予納台帳番号】 192855

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217474

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パワーオンリセット回路

【特許請求の範囲】

【請求項 1】 電源電圧が所定電圧以上に上昇したことを検知して第1内部ノードの論理レベルを第1レベルから第2レベルに変化させる電源電圧検出回路と、

前記電源電圧検出回路の前記第1内部ノードの論理レベルが前記第1レベルの場合にコンデンサを放電し、前記論理レベルが前記第2レベルの場合に前記コンデンサを、抵抗を介して充電するコンデンサ充放電回路と、

前記電源電圧が前記所定電圧以上に上昇する前に、出力ノードに第1出力電圧を出力し、前記電源電圧が前記所定電圧以上に上昇した後に、前記コンデンサの充電レベルが充電レベル検出電圧以上となったことを検出して前記出力ノードに第2出力電圧を出力するリセットパルス発生回路と、を備えてなり、

前記コンデンサ充放電回路は、前記第1内部ノードの論理レベルに拘わらず、前記電源電圧が下降した場合に、それに追従して前記コンデンサを放電させる放電回路を備えていることを特徴とするパワーオンリセット回路。

【請求項 2】 前記リセットパルス発生回路は、前記出力ノードに前記第2出力電圧を出力するとともに前記充電レベル検出電圧の設定値を低下させることを特徴とする請求項1に記載のパワーオンリセット回路。

【請求項 3】 前記リセットパルス発生回路が前記第2出力電圧を出力した後に、前記電源電圧検出回路において発生する直流電流経路を遮断する低電力化回路を備えることを特徴とする請求項1または2に記載のパワーオンリセット回路。

【請求項 4】 前記電源電圧検出回路は、前記電源電圧を供給する電源ラインと第2内部ノード間に設けられた前記電源ラインから前記第2内部ノードに対して順方向となる第1ダイオード回路と、前記第2内部ノードと接地電位を供給するグランドライン間に設けられた第1プルダウン回路と、前記第1内部ノードと前記電源ライン間に設けられた前記第1内部ノードの論理レベルに前記第1レベルを与える第1プルアップ回路と、前記第1内部ノードと前記グランドライン

間に設けられた前記第2内部ノードの電圧レベルにより電流駆動能力が制御される第2プルダウン回路を備えてなり、

前記電源電圧が所定電圧以上に上昇した場合、前記第2内部ノードの電圧が前記第1ダイオード回路と前記第1プルダウン回路の回路特性で定まる前記所定電圧より低電圧の所定の閾値電圧以上となり、前記第2プルダウン回路の電流駆動能力が増大して前記内部出力ノードの論理レベルが前記第2レベルに変化することを特徴とする請求項1または2に記載のパワーオンリセット回路。

【請求項5】 前記リセットパルス発生回路が前記第2出力電圧を出力した後に、前記電源電圧検出回路の前記第1プルダウン回路と前記第1プルアップ回路の電流経路を遮断する低電力化回路を備えることを特徴とする請求項4に記載のパワーオンリセット回路。

【請求項6】 前記コンデンサ充放電回路は、前記電源電圧を供給する電源ラインと接地電位を供給するグランドライン間に、前記第1内部ノードの電圧レベルにより電流駆動能力が制御される第2プルアップ回路と前記抵抗と前記第1内部ノードの電圧レベルにより電流駆動能力が制御される第3プルダウン回路を直列に接続し、前記抵抗と前記第3プルダウン回路の接続点である第3内部ノードと前記グランドライン間に前記コンデンサを接続し、前記電源ラインと前記第3内部ノード間に前記第3内部ノードから前記電源ラインに向けて順方向となる前記放電回路を形成する第3ダイオード回路を接続してなることを特徴とする請求項1～5の何れか1項に記載のパワーオンリセット回路。

【請求項7】 前記リセットパルス発生回路は、前記コンデンサの前記充電レベルを入力電圧として、その否定論理レベルを出力するインバータ回路を初段に有し、前記インバータ回路にヒステリシス特性を付与するトランジスタを備えていることを特徴とする請求項1～6の何れか1項に記載のパワーオンリセット回路。

【請求項8】 前記コンデンサ充放電回路は、前記コンデンサの容量値と前記抵抗の抵抗値の少なくとも何れか一方を変更可能に構成され、

前記リセットパルス発生回路は、前記充電レベル検出電圧と前記コンデンサの容量値と前記抵抗の抵抗値で定まる長さ以上のパルス幅で前記第1出力電圧を出

力することを特徴とする請求項 1～7 の何れか 1 項に記載のパワーオンリセット回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源投入時の電源電圧の上昇を検知してリセットパルスを発生するパワーオンリセット回路に関し、特に、半導体集積回路内に同集積回路内の他の回路を電源投入時にリセットするために設けられるパワーオンリセット回路に関する。

【0002】

【従来の技術】

従来のパワーオンリセット回路は、充電用コンデンサと、抵抗または定電流源とで構成されるコンデンサ充電回路を備え、電源投入時にリセットパルスを発生する。ところが、このコンデンサ充電回路のみからなるパワーオンリセット回路では、電源電圧の立ち上がり速度が、コンデンサの充電の時定数よりも遅い場合に、リセットパルスを発生しないという問題点があった。この問題に対処する技術としては、例えば、下記の特許文献 1、2 に開示されているものがあった。

【0003】

特許文献 1 に開示されているパワーオンリセット回路は、電源電圧を入力電圧とし、それが予め設定された電圧を越えたことに応答して、その予め設定された電圧を出力し、入力電圧が予め設定された電圧以下のときにはこの入力電圧を出力する電圧制御手段と、その電圧制御手段の出力電圧を入力とし、電圧制御手段の入力電圧と予め設定された電圧との差が、所定の値に達したことに応答し、所定のパルスを出力するパルス発生回路とを備えている。

【0004】

特許文献 2 に開示されているパワーオンリセット回路は、電圧検知手段及び遮断手段を有し、遮断手段がオン状態のときに電源電圧の投入を検知する電源電圧検知回路と、検知電圧に基づき導通する導通手段、導通手段を介して時定数に基づく充電を行うコンデンサ、及び、放電手段を有するコンデンサ充電時定数回路

と出力回路とを設け、且つ、コンデンサの電圧を帰還電圧として遮断手段に与える構成にしてリセットパルスを発生させている。

【0005】

【特許文献 1】

特開平6-196989号公報

【特許文献 2】

特開平11-68539号公報

【0006】

【発明が解決しようとする課題】

しかしながら、従来のパワーオンリセット回路では、以下のような問題があつた。図3、図4は、従来のパワーオンリセット回路の具体的な回路例を示す回路図であり、上記の特許文献1、2に夫々示されたものである。

【0007】

特許文献1に具体的に示されたパワーオンリセット回路は、図3に示すように、電源電圧Vccにソースが接続されたエンハンスマント型PMOS51と、PMOS51のドレインとグランドGNDとの間に接続された電圧制御回路52とを備えている。電圧制御回路52は、ドレインがPMOS51のドレインに接続されたデプレッション型NMOS52aと、NMOS52aのゲートとソースが、ゲート及びドレインに接続されたエンハンスマント型NMOS52bとを有している。電圧制御回路52の出力には、エンハンスマント型NMOS54のドレインとパルス生成部53が接続されている。パルス生成部53は、電源電圧Vccにソースが接続されたエンハンスマント型PMOS53aと、PMOS53aとグランドGNDとの間に接続されたコンデンサ53bと、PMOS53a及びコンデンサ53bの接続点に入力が接続されたインバータ53cとを備えている。パルス生成部53のインバータ53cの出力は、パワーオンリセット回路の出力となると共にインバータ55に接続されている。インバータ55の出力が、PMOS51のゲートとNMOS54のゲートに接続されている。この特許文献1に示されたパワーオンリセット回路は、電源投入後に電源を再投入した場合、コンデンサの放電手段がなくコンデンサの放電が確実に行えず回路が正常に動作し

ないため常に或る一定期間以上、電源の再投入までに間を空けないと、正常なりセットパルスを発生できないという問題があった。

【0008】

特許文献2に具体的に示されたパワーオンリセット回路は、図4に示すように、電源電圧検知回路60とコンデンサ充電時定数回路70と出力回路75とを備えている。電源電圧検知回路60は、電源電圧Vccにソースが接続された遮断手段であるトランジスタのPMOS61と、PMOS61のドレインとグランドGNDとの間に直列に接続された電圧検知手段であるダイオードを形成するPMOS62及びPMOS63とを、備えている。PMOS61のドレインにPMOS62のソースが接続され、PMOS62のドレインは、PMOS63のソースに接続されると共にPMOS62のゲートに接続される。PMOS63のゲート及びドレインはグランドGNDに接続される。PMOS61のドレインとPMOS62のソースとの接続点であるノードN60が、この電源電圧検知回路60の出力になっている。コンデンサ充電時定数回路70は、コンデンサ73と前記電源電圧検出回路60の出力であるノードN60がゲートに接続されると共にソースが電源電圧Vccに接続された導通手段であるPMOS71と、ゲートが電源電圧Vccに接続された放電手段であるPMOS72とを備えている。PMOS71のドレインとPMOS72のソースとコンデンサ73の接続点がノードN70であり、コンデンサ充電時定数回路70の出力となりPMOS61のゲートに接続されると共にインバータ75の入力に接続される。インバータ75は、電源電圧検知回路60及びコンデンサ充電時定数回路70と同様に、電源電圧Vccで駆動され、インバータ75の出力から、リセットパルスが outputされる構成になっている。この特許文献2に開示されたパワーオンリセット回路は、インバータ75の閾値電圧付近でノードN70の電圧が変動した場合安定したりセットパルスが出力されないという問題があった。

【0009】

本発明は、上記問題点に鑑みてなされたもので、その目的は、電源の再投入の有無や電源の立ち上がり速度に拘わらず安定してリセットパルスを発生できるパワーオンリセット回路を提供することにある。

【0010】

【課題を解決するための手段】

この目的を達成するための本発明に係るパワーオンリセット回路は、電源電圧が所定電圧以上に上昇したことを検知して第1内部ノードの論理レベルを第1レベルから第2レベルに変化させる電源電圧検出回路と、前記電源電圧検出回路の前記第1内部ノードの論理レベルが前記第1レベルの場合にコンデンサを放電し、前記論理レベルが前記第2レベルの場合に前記コンデンサを、抵抗を介して充電するコンデンサ充放電回路と、前記電源電圧が前記所定電圧以上に上昇する前に、出力ノードに第1出力電圧を出力し、前記電源電圧が前記所定電圧以上に上昇した後に、前記コンデンサの充電レベルが充電レベル検出電圧以上となったことを検出して前記出力ノードに第2出力電圧を出力するリセットパルス発生回路とを備えてなり、前記コンデンサ充放電回路が、前記第1内部ノードの論理レベルに拘わらず、前記電源電圧が下降した場合に、それに追従して前記コンデンサを放電させる放電回路を備えていることを第1の特徴とする。

【0011】

当該第1の特徴において、より具体的には、前記電源電圧検出回路は、前記電源電圧を供給する電源ラインと第2内部ノード間に設けられた前記電源ラインから前記第2内部ノードに対して順方向となる第1ダイオード回路と、前記第2内部ノードと接地電位を供給するグランドライン間に設けられた第1プルダウン回路と、前記第1内部ノードと前記電源ライン間に設けられた前記第1内部ノードの論理レベルに前記第1レベルを与える第1プルアップ回路と、前記第1内部ノードと前記グランドライン間に設けられた前記第2内部ノードの電圧レベルにより電流駆動能力が制御される第2プルダウン回路を備えてなり、前記電源電圧が所定電圧以上に上昇した場合、前記第2内部ノードの電圧が前記第1ダイオード回路と前記第1プルダウン回路の回路特性で定まる前記所定電圧より低電圧の所定の閾値電圧以上となり、前記第2プルダウン回路の電流駆動能力が増大して前記内部出力ノードの論理レベルが前記第2レベルに変化することを特徴とし、更に、前記コンデンサ充放電回路は、前記電源電圧を供給する電源ラインと接地電位を供給するグランドライン間に、前記第1内部ノードの電圧レベルにより電流

駆動能力が制御される第2プルアップ回路と前記抵抗と前記第1内部ノードの電圧レベルにより電流駆動能力が制御される第3プルダウン回路を直列に接続し、前記抵抗と前記第3プルダウン回路の接続点である第3内部ノードと前記グランドライン間に前記コンデンサを接続し、前記電源ラインと前記第3内部ノード間に前記第3内部ノードから前記電源ラインに向けて順方向となる前記放電回路を形成する第3ダイオード回路を接続してなることを特徴とする。

【0012】

上記第1の特徴の本発明に係るパワーオンリセット回路によれば、電源投入後に電源を切って再投入した場合に、最初の電源投入時にコンデンサに充電された電荷が残ったまま電源電圧レベルがグランドレベル（接地電位0V）まで低下しても、コンデンサ充放電回路に、第1内部ノードの論理レベルが第1レベルとなってコンデンサを放電する第1放電経路と、放電回路による第2放電経路があるので、第1放電経路による放電が十分に完了しない間に電源電圧が0Vにまで低下した後も、第1内部ノードの論理レベルの如何に依らず第2放電経路により確実にコンデンサの放電が行える。この結果、電源の再投入後に電源電圧が所定電圧以上に上昇すると、電源電圧検出回路が第1内部ノードの論理レベルを第1レベルから第2レベルに変化させ、コンデンサ充放電回路が再度抵抗を介してコンデンサの充電を開始し、リセットパルス発生回路が、この充電レベルを検知して、充電レベル検出電圧と当該抵抗の抵抗値とコンデンサの容量値で決まる所定のパルス幅のリセットパルスを確実に出力することができる。つまり、本発明に係るパワーオンリセット回路によれば、電源の再投入の有無に拘わらず安定してリセットパルスを発生できるのである。

【0013】

更に、本発明に係るパワーオンリセット回路は、前記リセットパルス発生回路は、前記出力ノードに前記第2出力電圧を出力するとともに前記充電レベル検出電圧の設定値を低下させることを第2の特徴とする。より具体的には、この第2の特徴において、前記リセットパルス発生回路は、前記コンデンサの前記充電レベルを入力電圧として、その否定論理レベルを出力するインバータ回路を初段に有し、前記インバータ回路にヒステリシス特性を付与するトランジスタを備えて

いる。

【0014】

上記第2の特徴の本発明に係るパワーオンリセット回路によれば、一旦リセットパルスが第2出力電圧に遷移した後、通常、このリセットパルスによってリセットされる複数の回路が同時にそのリセット動作を開始することから、電源及びグランドライン上の寄生誘導成分によって発生するACノイズによって見かけ上の電源電圧が変動するおそれがあるが、かかる電源電圧変動によるリセットパルスの出力が不安定になるのを防止できる。つまり、一旦第2出力電圧に遷移したリセットパルスの出力が第1出力電圧に戻り、第1出力電圧と第2出力電圧間でのチャタリング等の発生を防止できる。特に、電源電圧の立ち上がりが緩慢な場合に効果的である。

【0015】

また、本発明に係るパワーオンリセット回路は、前記リセットパルス発生回路が前記第2出力電圧を出力した後に、前記電源電圧検出回路において発生する直流電流経路を遮断する低電力化回路を備えることを第3の特徴とする。この第3の特徴において、より具体的には、前記リセットパルス発生回路は、前記第2出力電圧を出力した後に、前記電源電圧検出回路の前記第1プルダウン回路と前記第1プルアップ回路の電流経路を遮断する低電力化回路を備える。

【0016】

上記第3の特徴の本発明に係るパワーオンリセット回路によれば、リセットパルス発生過程において発生する直流電流経路をリセットパルス発生後において遮断することで、電源投入初期にのみ必要な直流電流を消費し、リセットパルス発生後の長期間は無駄な電力消費を節減することができ、回路全体の低消費電力化を図ることができる。

【0017】

【発明の実施の形態】

本発明に係るパワーオンリセット回路（以下、適宜「本発明回路」という。）の一実施の形態につき、図面に基づいて説明する。

【0018】

図1に示すように、本発明回路は、電源電圧検出回路20、コンデンサ充放電回路30、リセットパルス発生回路40、低電力化回路10により構成される。

【0019】

電源電圧検出回路20は、電源電圧Vccが所定電圧V0以上に上昇したことを検知して第1内部ノードN26の論理レベルを高レベル（第1レベル）から低レベル（第2レベル）に変化させる。より具体的には、図1に示すように、電源電圧検出回路20は、3つのP型MOSFET（以下、「PMOS」を記す。）21、23、28と3つのN型MOSFET（以下、「NMOS」を記す。）22、24、25より構成される。PMOS21は、ソースと電源電圧を本発明回路に供給する電源ラインVCC、ドレイン及びゲートと第2内部ノードN27を夫々接続して電源ラインVCCから第2内部ノードN27に対して順方向となる第1ダイオード回路を形成している。NMOS22は、ソースと接地電位を供給するグランドラインGND、ドレインと第2内部ノードN27、ゲートと低電力化回路10のノードN14を夫々接続して第1プルダウン回路を形成している。NMOS25は、ソース及びゲートとグランドラインGND、ドレインと第2内部ノードN27を夫々接続してグランドラインGNDから第2内部ノードN27に対して順方向となるダイオード回路を形成している。PMOS28は、ソースと電源ラインVCC、ドレインと第1内部ノードN26、ゲートと低電力化回路10のノードN13を夫々接続して第1内部ノードN26の論理レベルに高レベルを与える第1プルアップ回路を形成している。PMOS23は、ソース及びゲートと電源ラインVCC、ドレインと第1内部ノードN26夫々接続して第1内部ノードN26から電源ラインVCCに対して順方向となる第2ダイオード回路を形成している。NMOS24は、ソースとグランドラインGND、ドレインと第1内部ノードN26、ゲートと第2内部ノードN27を夫々接続して第1内部ノードN26の論理レベルに低レベルを与える第2プルダウン回路を形成している。

【0020】

ここで、NMOS25とPMOS23は常時はオフ状態であり、通常の回路動作に対して論理的な影響を及ぼすものではないが、夫々第2内部ノードN27と

第1内部ノードN26のフローティング状態における電位を定める働きを有する。

【0021】

コンデンサ充放電回路30は、電源電圧検出回路20の第1内部ノードN26の論理レベルが高レベルの場合にコンデンサ34を放電し、当該論理レベルが低レベルの場合に当該コンデンサ34を、抵抗33を介して充電するように構成され、また、当該論理レベルに拘わらず、電源電圧Vccが下降した場合に、それに追従してコンデンサ34を放電させる放電回路を備えている。具体的には、図1に示すように、電源ラインVCCとグランドラインGND間に、PMOS31、抵抗33、NMOS32を記載順に直列に接続し、抵抗33とNMOS32の接続点である第3内部ノードN36とグランドラインGND間にコンデンサ34を接続している。つまり、PMOS31のソースと電源ラインVCC、PMOS31のドレインと抵抗33の一方端、抵抗33の他方端とNMOS32のドレイン、NMOS32のソースとグランドラインGND、PMOS31とNMOS32の各ゲートを第1内部ノードN26に接続している。これにより、PMOS31は第1内部ノードN26の電圧レベルV26により電流駆動能力が制御される第2プルアップ回路として、NMOS32は第1内部ノードN26の電圧レベルV26により電流駆動能力が制御される第3プルダウン回路として機能する。更に、上記放電回路をPMOS35で構成するに、ソース及びゲートと電源ラインVCC、ドレインと第3内部ノードN36を夫々接続して第3内部ノードN36から電源ラインVCCに向けて順方向となる第3ダイオード回路を形成している。また、PMOS35は第3内部ノードN36のフローティング状態における電位を定める働きを有する。

【0022】

リセットパルス発生回路40は、電源電圧Vccが所定電圧V0以上に上昇する前に、出力ノードN45に電源電圧Vccに等しい第1出力電圧を出力し、電源電圧Vccが所定電圧V0以上に上昇した後に、コンデンサ34の充電レベルV36が充電レベル検出電圧V1以上となったことを検出して出力ノードN45にグランドレベルに等しい第2出力電圧(0V)を出力してリセットパルスを終

了する。また、リセットパルス終了後に充電レベル検出電圧V1の設定値を低下させる。具体的には、図1に示すように、リセットパルス発生回路40は、3つのCMOSインバータ41、43、44を備え、インバータ41は、コンデンサの充電レベルである第3内部ノードN36の電圧V36を入力電圧としてその否定論理レベルを出力し、インバータ43は、インバータ41の出力電圧を入力電圧としてその否定論理レベルを出力し、インバータ44は、インバータ43の出力電圧を入力電圧としてその否定論理レベルである上記第1出力電圧(Vcc)または第2出力電圧(0V)を出力ノードN45に出力する。また、インバータ41は2つの直列に接続したPMOS41a、41bと2つの直列に接続したNMOS41c、41dで構成され、PMOS41aのソースと電源ラインVCC、PMOS41aのドレインとPMOS41bのソース、PMOS41bのドレインとNMOS41cのドレイン、NMOS41cのソースとNMOS41dのドレイン、NMOS41dのソースとグランドラインGND、PMOS41a、41b、NMOS41c、41dの各ゲートが第3内部ノードN36に夫々接続し、PMOS41bのドレインとNMOS41cのドレインの接続点がインバータ41の出力となっている。また、NMOS41cのソースとNMOS41dのドレインの接続点とドレイン、グランドラインGNDとソース、インバータ43の出力とゲートが夫々接続したNMOS42を設けて、インバータ41にヒステリシス特性を付与している。つまり、初期状態では、NMOS42はオフ状態でインバータ41の入力反転レベル(即ち、充電レベル検出電圧V1)が初期設定値V1aであるところ、インバータ44が出力ノードN45に第2出力電圧(0V)を出力すると、同じくNMOS42もオン状態になり、CMOSインバータ41のNMOS側の電流駆動能力が増加し、その入力反転レベル(閾値電圧)が初期設定値V1aから低下してV1bとなる。

【0023】

低電力化回路10は、電源電圧検出回路20のPMOS28とNMOS22を夫々オフすることにより、電源電圧検出回路20において発生する直流電流経路を遮断する。具体的には、図1に示すように、低電力化回路10は2つのCMOSインバータ11、12によりなる。インバータ44の出力ノードN45をイン

バータ 1 1 の入力に接続し、インバータ 1 1 の出力（ノード N 1 3）を PMOS 2 8 のゲートとインバータ 1 2 の入力に接続し、インバータ 1 2 の出力（ノード N 1 4）を NMOS 2 2 のゲートに接続している。これにより、出力ノード N 4 5 が第 2 出力電圧（0 V）となると、インバータ 1 1 は電源電圧 V c.c を出力して PMOS 2 8 をオフし、インバータ 1 2 はグランドレベルを出力して NMOS 2 2 をオフする。この結果、リセットパルスの論理レベルに応答して電源電圧検出回路 2 0 の直流電流経路を遮断してリセットパルス終了後に第 1 内部ノード N 2 6 の電圧 V 2 6 がグランドレベルまで下がり、コンデンサ充放電回路 3 0 を充電状態に固定するとともに充電電流以外の消費電流を無くし、インバータ 4 1 の入力反転レベル付近で第 3 内部ノード N 3 6 の電圧が変動を抑制し安定したりセットパルスの出力を確実にする。

【0024】

次に、本発明回路の動作につき、図 2 (a) ~ (d) の電圧・電流波形図を参考しつつ説明する。尚、図 2 (a) は電源電圧 V c.c と第 2 内部ノードの電圧 V 2 7 の電圧波形を示し、図 2 (b) は第 3 内部ノード N 3 6 の電圧 V 3 6 (コンデンサ 3 4 の充電レベル) とインバータ 4 1 の入力反転レベル (充電レベル検出電圧 V 1) の電圧波形を示し、図 2 (c) はインバータ 4 4 の出力ノード N 4 5 の出力電圧 V 4 5 の電圧波形を示し、図 2 (d) は NMOS 2 4 を流れる電流波形を示している。図 2 (a) に示すように、時点 t 0 で電源投入され、電源電圧 V c.c は時点 t 0 から時点 t 4 まで単調に増加し、それ以降は定電圧を維持する場合を想定する。

【0025】

先ず、電源電圧 V c.c が 0 V のとき、放電回路となる第 3 ダイオード回路を構成した PMOS 3 5 により、コンデンサ 3 4 に充電されている電荷を電源ライン V C.C 側に放電する。この状態から、図 2 (a) に示すように、電源電圧 V c.c が上昇し、PMOS 2 1 の閾値電圧 V t 2 1 を超えた時点 (t 1) 付近から、第 2 内部ノード N 2 7 の電圧 V 2 7 は、電源電圧 V c.c より V t 2 1 だけ低い電圧値で電源電圧 V c.c の上昇に追従して上昇する。尚、図示しないが、電源電圧 V c.c が NMOS 2 2 の閾値電圧 V t 2 2 を超えた時点から第 2 内部ノード N 2 7

に対する第1プルダウン回路としてのNMOS22がオンするため、第2内部ノードN27の電圧V27は、電源電圧VccよりVt21だけ低い電圧値より僅かに低電圧となる。しかし、NMOS22は、電圧V27の電圧レベルを安定して電源電圧VccよりVt21以上確実に低下させるためであり、電源電圧Vccに対する追従性を確保するためのものであり、その電圧降下分は一定範囲内に抑制されている。

【0026】

また、インバータ44の出力ノードN45の第1出力電圧は、図2(c)に示すように、インバータ43を構成するPMOS(図示せず)の閾値電圧を超えた時点(t1)付近から、電源電圧Vccに追従して上昇する。

【0027】

図示しないが、電源電圧VccがPMOS28の閾値電圧Vt28を超えて上昇すると(おおよそ時点t1以降)、インバータ44の出力ノードN45の出力電圧が電源電圧Vccを出力するので、低電力化回路10のインバータ11の出力(ノードN13)はグランドレベル(0V)を維持し、電源電圧検出回路20のPMOS28をオンし、第1内部ノードN26の電圧V26は電源電圧Vccに追従して上昇する。

【0028】

更に、電源電圧Vccが(Vt21+Vt24)より僅かに高電圧の電圧値V0を超えた時点(t2)付近から、第2内部ノードN27の電圧V27がNMOS24の閾値電圧Vt24を超えて上昇するのでNMOS24がオンし、図2(d)に示すように、PMOS28を介して電源ラインVCCからグランドラインGNDへの直流電流経路を形成して電流を流すとともに、第1内部ノードN26の電圧V26を低下させる。ここで、PMOS28は、NMOS24がオンするまでの間、第1内部ノードN26の電圧を電源電圧Vccまたはその近傍に維持するためのもので、大きな電流駆動能力は必要なく、そのため、NMOS24がPMOS28より大きな電流駆動能力(低いオン抵抗)であれば、NMOS24がオンすると第1内部ノードN26の電圧V26は低下する。但し、電圧V26が低下すると、PMOS28のドレイン電圧が大きくなりその電流駆動能力も増大

するため、電圧 V₂₆ は完全にグランドレベルまでは低下しない。

【0029】

ここで、第1内部ノード N₂₆ の電圧 V₂₆ の低下に伴い、コンデンサ充放電回路 30 の PMOS 31 がオンし、NMOS 32 がオフする。尚、電源電圧 V_c の上昇が PMOS 21 の閾値電圧 V_{t21} と NMOS 24 の閾値電圧 V_{t24} との合計 (V_{t21}+V_{t24}) を超えるまでの期間（時点 t₂まで）はコンデンサ 34 に放電されずに残っている充電電荷を、NMOS 32 を介して完全に放電する。

【0030】

PMOS 31 がオンし、NMOS 32 がオフすると、抵抗 33 とコンデンサ 34 の時定数に基づいてコンデンサ 34 を充電する。第3内部ノード N₃₆ の電圧 V₃₆ は、図 2 (b) に示すように、時点 t₂ を越えた後から上昇を開始し、リセットパルス発生回路 40 のインバータ 41 の入力反転レベル（閾値電圧） V₁ (初期設定値は V_{1a}) に達すると（時点 t₃）、インバータ 41、43、44 の各出力レベルが順次反転し、インバータ 44 の出力ノード N₄₅ の出力電圧 V₄₅ は、図 2 (c) に示すように、第1出力電圧 (V_{cc}) から第2出力電圧 (0 V) に遷移し、出力電圧 V₄₅ が電源電圧 V_{cc} に追従して上昇して開始されたりセットパルスの出力が、インバータ 44 の出力が第2出力電圧 (0 V) に遷移することで終了する。

【0031】

ここで、上述のように、インバータ 43 の出力を NMOS 42 のゲートに入力してインバータ 41 にヒステリシス特性を付与することで、リセットパルス終了後に、入力反転レベル（閾値電圧）が初期設定値 V_{1a} より低電圧の V_{1b} に変更される。

【0032】

インバータ 44 のリセットパルス (V₄₅) は、パワーオンリセット回路の出力であるとともに低電力化回路 10 のインバータ 11 にも入力され、低電力化回路 10 はリセットパルスの電圧値 V₄₅ に応答して、電源電圧検出回路 20 の PMOS 28 と NMOS 22 をオフする。

【0033】

時点 t_3 以降に NMOS 22 がオフすると、第2内部ノード N27 に係る直流電流経路は、PMOS 21 と NMOS 22、25 のサブスレッシュホールド電流のみとなり実質的な直流電流は無くなる。よって電圧 V27 の第2内部ノード N27 は電源電圧 Vcc 付近まで上昇する。

【0034】

同様に、時点 t_3 以降に PMOS 28 がオフすると、第1内部ノード N26 に係る直流電流経路は、PMOS 23、28 のサブスレッシュホールド電流のみとなり実質的な直流電流は無くなる。第2内部ノード N27 の電圧 V27 は NMOS 24 をオンさせるので、第1内部ノード N26 の電圧はグランドレベル (0V) まで低下する。これにより、コンデンサ充放電回路 30 を充電状態に固定するとともに充電電流以外の消費電流を無くし、インバータ 41 の入力反転レベル附近で第3内部ノード N36 の電圧が変動を抑制し安定したリセットパルスの出力を確実にする。

【0035】

以上説明したように、本発明回路は、電源電圧検出回路 20 とコンデンサ充放電回路 30 とリセットパルス発生回路 40 と低電力化回路 10 とを備え、電源電圧 Vcc が、($V_{t21} + V_{t24}$) の電圧を超えて上昇したときにコンデンサ充放電回路 30 のコンデンサ 34 を抵抗 33 とコンデンサ 34 の時定数に基づいて充電を行うようにしたので、電源電圧 Vcc の立ち上がり速度に拘わらず、リセットパルスを常にインバータ 41 の入力反転レベル V_1 (初期設定値 V_{1a}) と抵抗 33 の抵抗値とコンデンサ 34 の容量値で定まる αCR 以上発生できる (α は、 V_1 と時定数 CR で決定される値で V_1 が電源電圧 Vcc の $1/2$ である時、 CR 積分回路の出力電圧を表す下記の数 1 に示す式より $\alpha = 0.693$ となる)。尚、数 1 において、 e_o と e_i はそれぞれ CR 積分回路の出力電圧、入力電圧であり、 R は抵抗 33 の抵抗値、 C はコンデンサ 34 の容量値である。

【0036】

【数1】

$$e_o = e_i \left(1 - e^{-t/(CR)} \right)$$

【0037】

また、電源電圧検出回路20の直流電流経路は低電力化回路10によりリセットパルス終了後に遮断され、それ以降の直流電流の消費を無くする。その上、本発明回路の構成は電源を再投入した場合でも、PMOS35とNMOS32によりコンデンサ34の放電を2通りの方法で行いリセットパルスを確実に発生できる。

【0038】

尚、本発明に係るパワーオンリセット回路は、図1に示す実施の形態の回路構成に限定されるものではなく、電源電圧検出回路20、コンデンサ充放電回路30、リセットパルス発生回路40、低電力化回路10の一部または全部は、夫々にその技術的思想を逸脱しない範囲で、種々変形して実施することができる。

【0039】

また、上記実施の形態において、低電力化回路10を具備した構成を例示したが、低電力化回路10は必ずしも設けなくても構わない。

【0040】

また、リセットパルス発生回路40の初段のインバータ41にヒステリシス特性を付与する実施形態を例示したが、ヒステリシス特性の実現手法も上記実施の形態に限定されるものではない。また、インバータ41はヒステリシス特性を有するのが好ましいが、必ずしも付与されなくてもよい。

【0041】

【発明の効果】

以上詳細に説明したように、本発明によれば、電源投入及び電源投入後の電源の再投入に際し、その立ち上がり速度に拘わらず常にインバータ41の入力反転レベルV1（初期設定値V1a）と抵抗33の抵抗値とコンデンサ34の容量値で定まる αCR （Rは抵抗33の抵抗値、Cはコンデンサ34の容量値、 α はV1と抵抗33とコンデンサ34の時定数CRによって決定される。）以上のリセ

ットパルスを発生するパワーオンリセット回路を実現できる。また、本発明に係るパワーオンリセット回路は、必要に応じてコンデンサ充放電回路30の抵抗33の抵抗値またはコンデンサ34の容量値の何れか少なくとも一方を調節することで、リセットパルスの発生時間（パルス幅）を容易に変更することができ、且つ、リセットパルス終了後には、パワーオンリセット回路の直流消費電流を0とすることができます。その上、本発明に係るパワーオンリセット回路は、上記の本発明に特有の特徴的な回路構成とコンデンサ34の放電を2通りの方法で実行することにより安定したリセットパルス発生を実現できる。

【図面の簡単な説明】

【図1】

本発明に係るパワーオンリセット回路の一実施の形態の回路構成を示す回路図

【図2】

本発明に係るパワーオンリセット回路の一実施の形態における要部の電圧・電流波形を示す波形図、詳細には、(a)は電源電圧Vccと第2内部ノードの電圧V27の電圧波形図、(b)は第3内部ノードN36の電圧V36とインバータ41の入力反転レベルの電圧波形図、(c)はインバータ44の出力電圧V45の電圧波形図、(d)はNMOS24を流れる電流波形図

【図3】

従来のパワーオンリセット回路の回路構成例を示す回路図

【図4】

従来のパワーオンリセット回路の他の回路構成例を示す回路図

【符号の説明】

10 低電力化回路

11、12 インバータ回路

20 電源電圧検出回路

21 第1ダイオード回路（P型MOSFET）

22 第1プルダウン回路（N型MOSFET）

23 第2ダイオード回路（P型MOSFET）

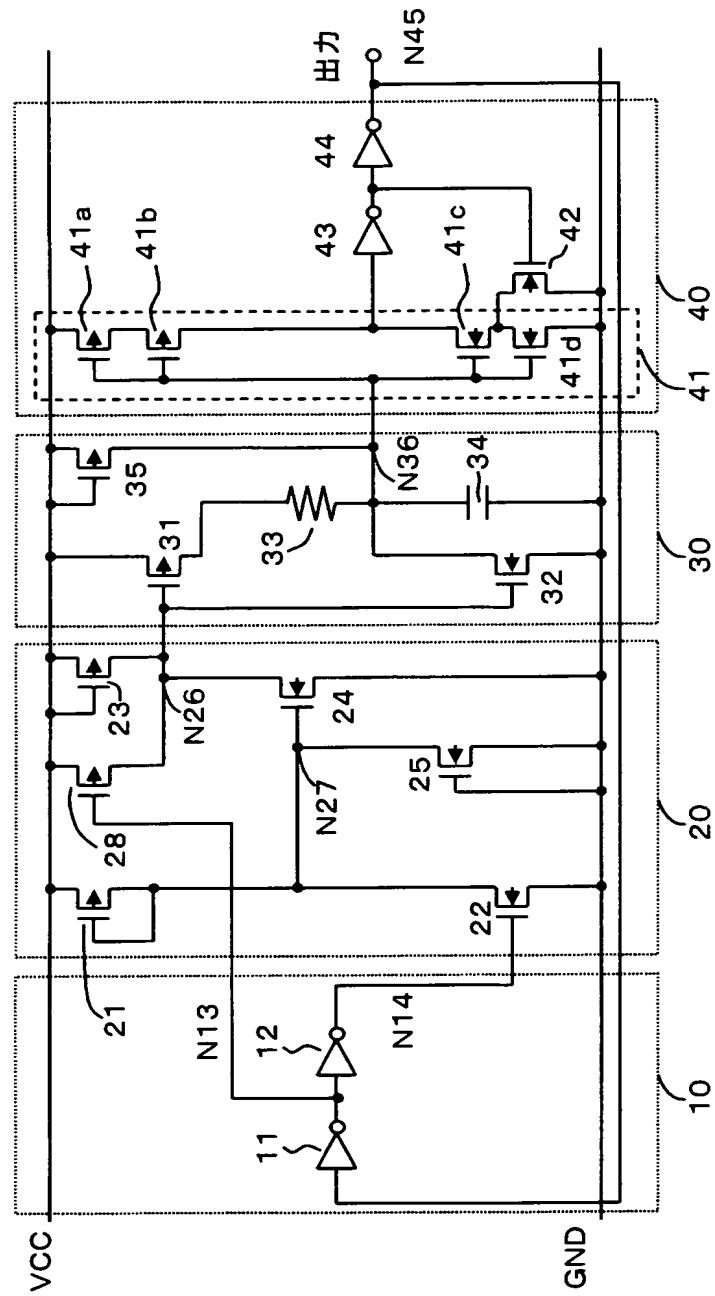
24 第2プルダウン回路（N型MOSFET）

- 25 ダイオード回路（N型MOSFET）
28 第1プルアップ回路（P型MOSFET）
30 コンデンサ充放電回路
31 第2プルアップ回路（P型MOSFET）
32 第3プルダウン回路（N型MOSFET）
33 抵抗
34 コンデンサ
35 放電回路（第3ダイオード回路（P型MOSFET））
40 リセットパルス発生回路
41、43、44 インバータ回路
41a、41b P型MOSFET
41c、41d、42 N型MOSFET
N13、N14 ノード
N26 第1内部ノード
N27 第2内部ノード
N36 第3内部ノード
N45 出力ノード
V0 電源電圧の上昇を検出する所定電圧
V1 コンデンサの充電レベル検出電圧
V1a インバータ41の入力反転レベルの初期設定値
V1b インバータ41の入力反転レベルのリセットパルス終了後の設定値
V27 第2内部ノードの電圧
V36 第3内部ノードの電圧（コンデンサの充電レベル）
V45 リセットパルスの出力電圧
Vcc 電源電圧
Vcc 電源ライン
GND グランドライン

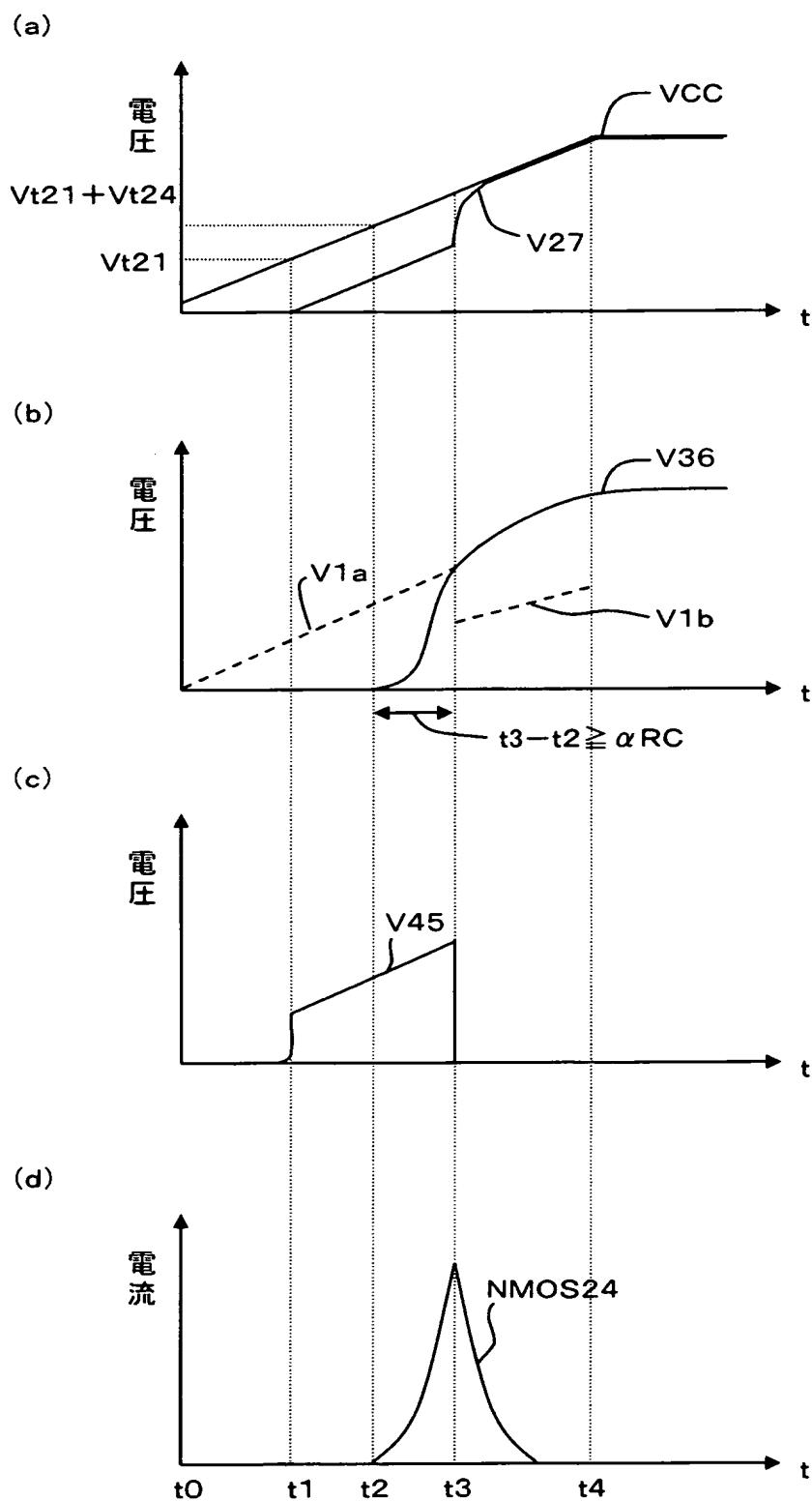
【書類名】

図面

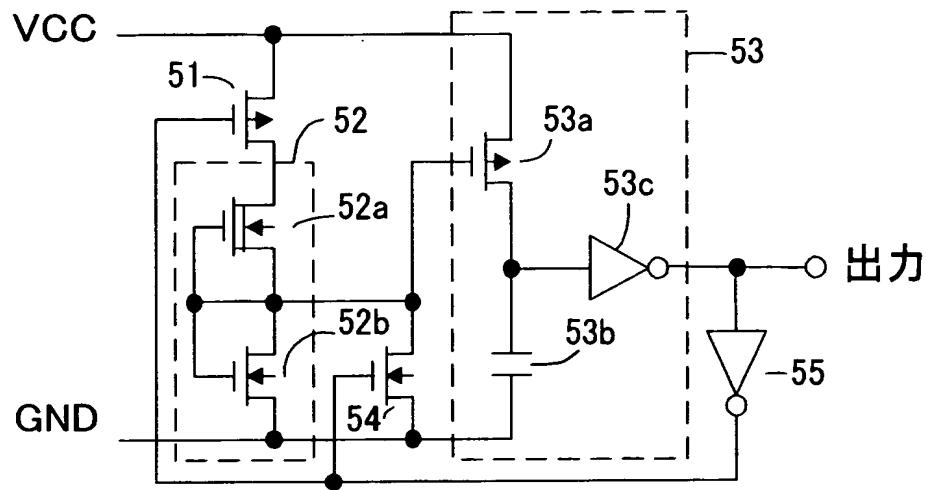
【図 1】



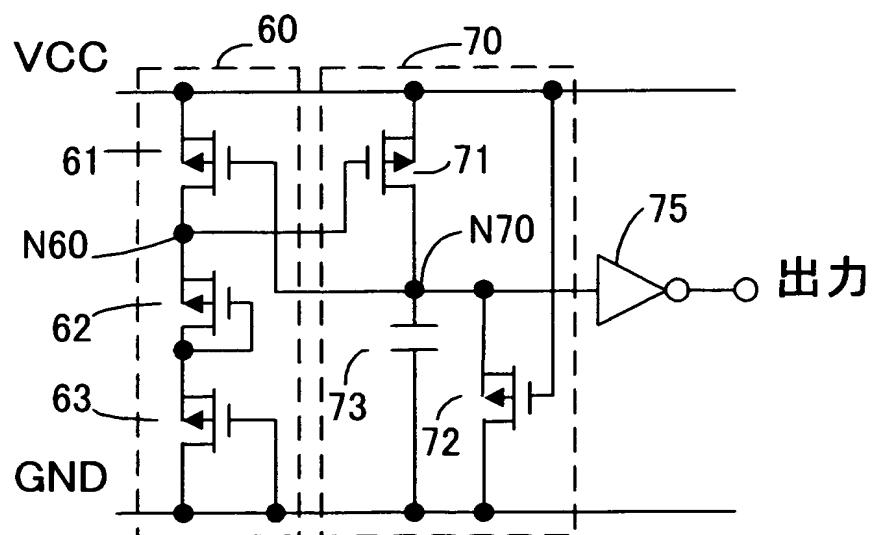
【図 2】



【図3】



【図4】



【書類名】 要約書

【要約】

【課題】 電源の再投入の有無や電源の立ち上がり速度に拘わらず安定してリセットパルスを発生できるパワーオンリセット回路を提供する。

【解決手段】 電源電圧が所定電圧以上に上昇したことを検知して第1内部ノードN26の論理レベルを第1レベルから第2レベルに変化させる電源電圧検出回路20、第1内部ノードN26が第1レベル時にコンデンサ34を放電し、第2レベル時に抵抗33を介して充電するコンデンサ充放電回路30、電源電圧が所定電圧以上に上昇する前に第1出力電圧を出力し、電源電圧が所定電圧以上に上昇した後にコンデンサ34が充電レベル検出電圧以上に充電されたことを検出して第2出力電圧を出力するリセットパルス発生回路40を備え、コンデンサ充放電回路30は、第1内部ノードN26の論理レベルに拘わらず、電源電圧が下降した場合にそれに追従してコンデンサ34を放電させる放電回路35を備える。

【選択図】 図1

特願 2003-117798

出願人履歴情報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住所 大阪府大阪市阿倍野区長池町22番22号
氏名 シャープ株式会社